CMOSアナログICの実用設計

吉田晴彦

第2回

アナログIC開発者が知っておくべき「レイアウト設計手順と勘所」および「マスク製作工程」

リスク検討，コスト見積り，開発仕様書作成，回路設計が終わったら，部品のレイアウト設計に移る．レイアウトが固まると，フォト・マスクを作成することになる．今回は，CAD ツールを使ったマスク・レイアウトの方法とその勘所，さらに次の工程のフォト・マスクの作成過程を順を追って解説する．

（編集部）

1．レイアウト設計の手順と勘所

レイアウト設計（**写真1**）とは，**図1**に示すような一連の作業をいいます．つまり，設計された回路に基づきトランジスタ，抵抗，キャパシタなどで構成される回路システムをデザイン・ルール注1に従い，ICチップを想定した空間上に配置して，その構成要素間を配線し，マスク・パターンを作成します．

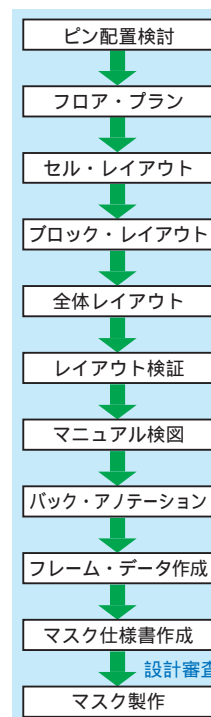
要求される電気的特性をよく理解し，その性能を十分に発揮できるように回路機能を忠実にパターン化し，なおかつデッド・スペースをなくし，無駄のない少しでも小さな

注1：製造プロセスで許可されている素子寸法や配線幅，間隔などを規定したパターン設計規則.

写真1　レイアウト設計

レイアウト作成ツールで設計された回路に基づき，トランジスタ，抵抗，キャパシタなどで構成される回路システムをデザイン・ルールに従い，ICチップを想定した空間上に配置して，その構成要素間を配線し，マスク・パターンを作成する．

図1
レイアウト設計の流れ

一般的なレイアウト設計の流れで，ピン配置の検討，フロア・プラン，レイアウト，検証などを行い，フォト・マスクの作成前に設計審査を行う．

KeyWord　レイアウト設計，フォト・マスク，デザイン・ルール，マスク・パターン，目視マニュアル検図，熱分布，機械的ストレス，ダミー素子，許容電流密度，配線抵抗，寄生素子，基板結合，静電結合，電磁誘導，ESD破壊耐量，ラッチアップ耐量

チップ・サイズに収めることが要求されます．

● ピン配置の決定からレイアウト検証まで

まず，ピン配置を決めます．ピン配置を決めるときには，想定される応用回路を考えて，部品の実装や配線の引き回しなどのプリント基板設計への配慮や隣接ピンへの信号の回り込み，はんだブリッジによる隣接ピンのショート時の影響などを考慮します．また，所望の性能が得られるように各機能ブロックや入出力端子などの配置を決めるとともに，チップ・サイズの最小化を考えたチップ・レイアウトの全体構成（フロア・プラン）を検討します．

次に，セル（機能単位），ブロック，チップ全体の順序でレイアウト設計を行います．全体レイアウトが完成したら，レイアウト検証用のツール（**表1**）を用いてレイアウト・データがデザイン・ルールに違反していないか，レイアウト・データとして適切であるかを検証します．また，セル・ブロックごとにあらかじめDRC（design rule checking）やLVS（layout versus shematic）を実行してから，全体レイアウトの検証を行ったほうが検証時間を短縮できます．

主な検証内容は，以下のようなものがあります．

①DRC（design rule checking）

製造プロセスに基づいて定められた最小線幅，最小間隔などの幾何学的設計ルールに違反していないかを検証し，指定されたプロセス・テクノロジで製造可能であることを確認します．

表1　アナログICの設計工程で使用されるおもなCAD技術

工　程	CAD技術	CADツール例（ベンダ）
回路設計	回路図入力	Composer（Cadence社）
		Gateway（Silvaco社）
回路検証	回路シミュレーション	HSPICE（Synopsys社）
		Spectre（Cadence社）
		SmartSpice（Silvaco社）
レイアウト設計	レイアウト作成	Virtuoso（Cadence社）
		Expert（Silvaco社）
レイアウト検証	DRC, LVS	Dracula（Cadence社）
		Assura（Cadence社）
寄生素子抽出	LPE, RCX	Dracula（Cadence社）
		Assura（Cadence社）

DRC：design rule checking　　LVS：layout versus schematic
LPE：layout parameter extraction　　RCX：physical prasitic rcextraction
Cadence社：米国Cadence Design Systems社
Silvaco社：米国Silvaco International社
Synopsys社：米国Synopsys社

②LVS（layout versus schematic）

回路接続情報（ネット・リスト）とレイアウト・データを比較し，素子や素子間配線の不一致を検出します．

③ERC（electrical rule checking）

ショート回路，オープン回路，フローティング・ノード，入力ゲート開放，出力ゲート短絡などの電気的な誤りを検出します．

④LVL（layout versus layout）

類似した二つのレイアウト・データから抽出したネット・リスト同士を比較し，データの不一致を検出します．

⑤ LPE（layout parameter extraction），RCX（physical parasitic RC eXtraction）

実際の配線抵抗や配線容量などの影響を含めた電気的特性の確認シミュレーション（バック・アノテーション）を行うために，レイアウト・データの幾何学情報から配線などの寄生の抵抗値や容量値などを抽出して，寄生素子を含んだネット・リストを出力します．

●立体的な構造チェックはベテランによる目視が頼り

アナログ回路のレイアウト設計は，素子形状，配置，寄生効果などによっても性能が大きく左右されるので，平面的（2次元）でなく，チップの断面（3次元）構造を十分に理解したレイアウト設計を行う必要があり，デバイス特性やウェハ・プロセス技術の知識も必要となってきます．また，このような検証は，レイアウト検証ツールのみでは不十分であり，最終的なレイアウト検証は，ベテラン設計者による目視マニュアル検図（**写真2**）が必要になってきます．

特に下記のような，

（a）温度勾配の影響を受ける素子配置　（b）温度勾配の影響を考慮した素子配置

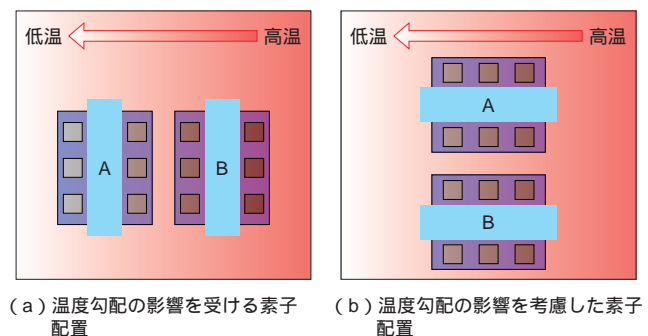



図2　温度勾配の影響を考慮したレイアウト

熱源ブロックが存在する場合は，整合性の重要な素子をできる限り熱源から離し，素子を等温度線上に配置する必要がある．図（a）のようなレイアウトでは，温度勾配の影響によりAとBの素子間に特性差が生じる．図（b）のようにAとBを等温度線上に配置することで，素子間の温度勾配の影響による特性差を低減できる．

① チップ内の熱分布(図2)や機械的ストレス(ウェハの反りやモールドひずみなど)を考慮した形状・配置
② 素子間の対称性(素子サイズ，電流密度，配置，方向など)の配慮(図3)
③ ダミー素子の挿入(図4)
④ 配線やコンタクトの許容電流密度
⑤ 配線抵抗，寄生素子の考慮
⑥ 基板結合(寄生抵抗)，静電結合(寄生キャパシタ)，電磁誘導(寄生インダクタ)によるノイズ伝播(でんぱ)の配慮
⑦ ESD(electrostatic discharge)破壊耐量の確保(図5)
⑧ ラッチアップ耐量の確保(図6)
⑨ アンテナ効果によるゲート酸化膜のダメージ対策(図7)

などの内容は，レイアウト検証ツールでは検証が難しく，マニュアル検図での検証が重要になってきます．

マニュアル検図は，ベテランの設計者だけでなく，違った視点から見られる設計者の検図も有効となります．自分ではあまりにも問題に接近しすぎていたり，慣れから問題を発見できなかったりといったことはよくあるので，マニュアル検図をほかの設計者に行ってもらうことで，より効果のある検証となります．また，経験の浅い若手設計者が，ベテラン設計者の設計したレイアウトに対しマニュアル検図を行うことは，多くのレイアウト・テクニックを学べる非常によい機会にもなります．

アナログ回路のレイアウト設計では，素子の配置や配線の通し方ひとつで十分な性能が得られないということもあり，レイアウト設計の良しあしがICの性能やチップ・サイ

写真2
マニュアル検図(目視検図)
色鉛筆で回路に対し適切なレイアウト設計がなされているかを識別・検証しながら，目視によるマニュアル検図を行う．

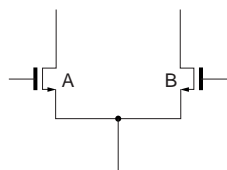
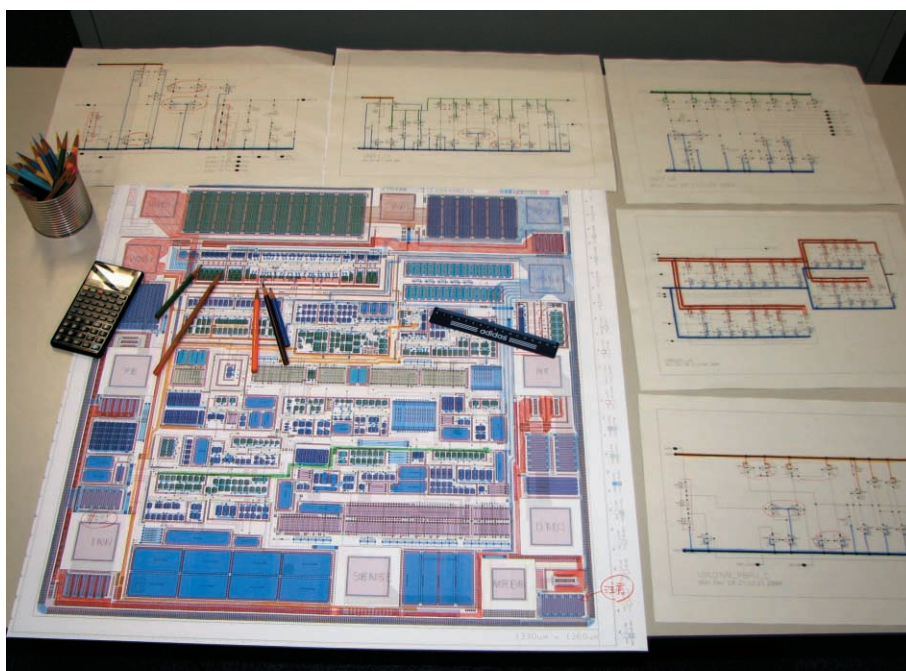
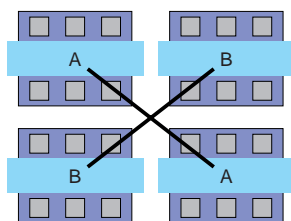



図3 コモン・セントロイド配置
整合性が重要な図(a)のMOSFET対A, Bを分割し，図(b)のようにA, Bを点対称に配置にすることで，A, Bの重心が一致し，素子間の対称性のずれを補償できる．

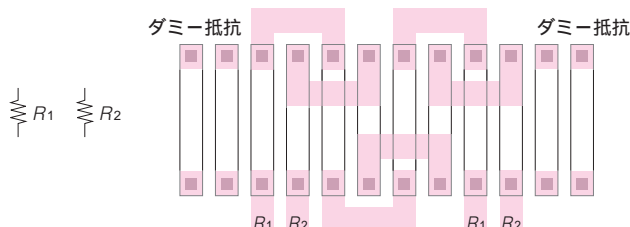



図4 ダミー抵抗の挿入と対称性
現像時の反射やパターン疎密間差，エッチング時のローディング効果などの影響による抵抗幅の変動を抑制し，パターン精度を確保する．また，R_1とR_2を互い違いに配列することにより，熱分布や機械的ストレスによる素子間の対称性のずれを補償する．

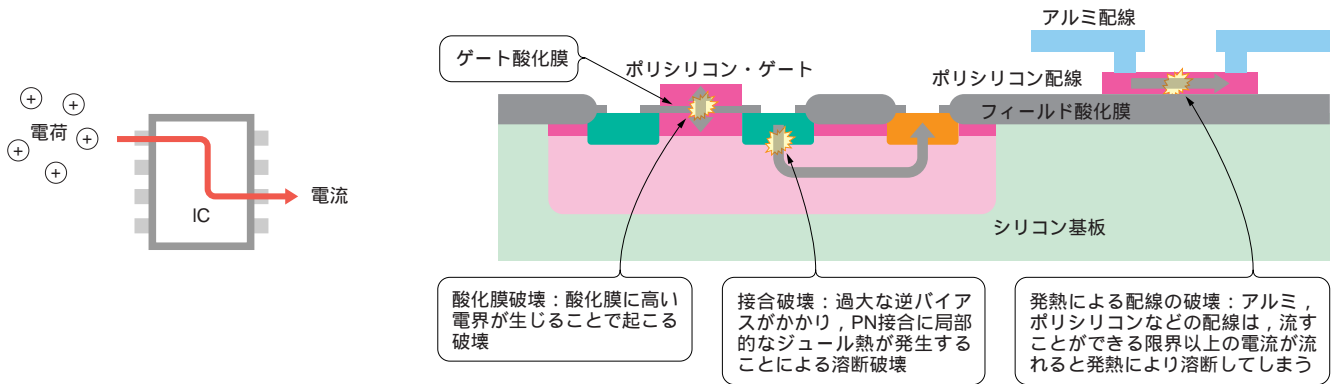



図5　ESD破壊耐量の確保

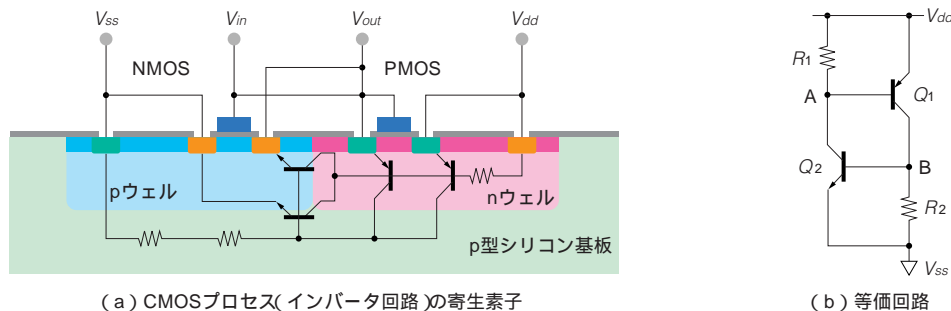
ESD (electrostatic discharge) とは静電気の放電現象のこと．この放電現象によって帯電電荷がICを流れる際に図のような破壊現象が起こる．この破壊からICを保護するために，ICのボンディング・パッド付近にダイオード，トランジスタ，サイリスタなどのESD保護素子を挿入する．

（a）CMOSプロセス（インバータ回路）の寄生素子　（b）等価回路

図6　ラッチアップ耐量の確保

CMOSプロセスでは，NMOSとPMOS，抵抗やキャパシタなどの受動素子で回路を構成するが，その構造上，寄生PNPトランジスタと寄生NPNトランジスタが存在し，各トランジスタは寄生サイリスタを形成する．等価回路図(b)のループ・ゲインが1以上で，かつ電源や入出力端子からの雑音などによりトランジスタQ_1，Q_2のいずれかが一度ON状態となると，電源とグラウンド間に大電流が流れ続ける．このような現象がラッチアップである．

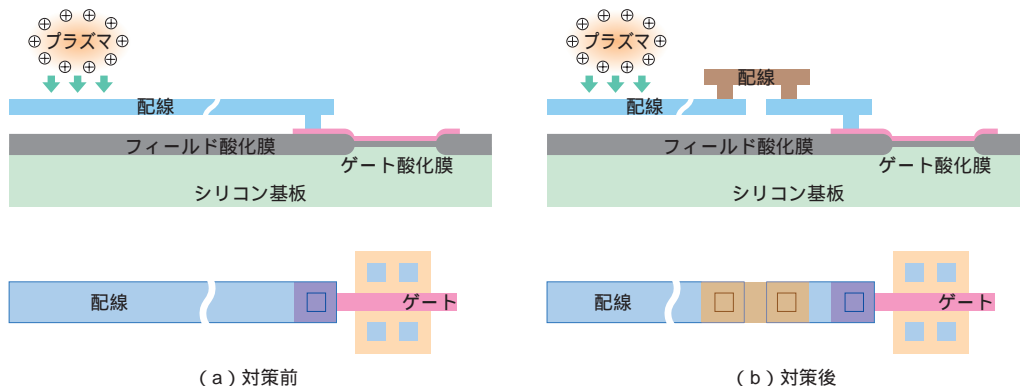
ラッチアップ耐量を確保するためには，寄生トランジスタ(Q_1，Q_2)のh_{FE}や寄生抵抗(R_1，R_2)の値が小さくなるようなレイアウト設計を行い，等価回路図(b)のループ・ゲインを1より十分に小さくする必要がある．また，A点とB点のノードへのノイズ伝播は寄生サイリスタがONするトリガとなるので，A点やB点に接続される寄生容量や寄生トランジスタのh_{FE}が小さくなるようなレイアウトへの配慮も必要．

（a）対策前　（b）対策後

図7　アンテナ効果によるゲート酸化膜のダメージ対策

ウェハ・プロセスでは，エッチング，アッシング，イオン注入，プラズマCVD (chemical vapor deposition) などの多くのプラズマ・プロセスが用いられている．プラズマは帯電しているため，配線メタル領域には，エッチング工程で電荷が蓄積され電位を上昇させる「アンテナ」として作用する．ゲート電極に接続された大きな面積の配線メタルは，電荷の蓄積量が多くなり，ゲート酸化膜にダメージを与えることがあるので，微細なプロセスでは考慮が必要となる．対策としては，配線メタルに図(b)のような切れ目を入れ，異なる配線メタル層で接続するレイアウトとすれば，ゲート電極に接続された配線メタル（アンテナ）は短くなるので，電荷の蓄積量が少なくなり，ゲート酸化膜へのダメージを回避することができる．また，配線メタルに切れ目を入れる以外に，ゲート電極の近くに保護ダイオードを接続し，電荷を逃がす経路をつくってやることも有効な対策となる．

ズ(コスト)，品質，歩留まりなどにも大きく影響を与えてしまいます．この辺りはやはり，｢匠(たくみ)の技｣であり，経験がものをいう世界です．机上(頭)で設計せず，回路シミュレーションに依存して設計した回路やレイアウトは合理性や最適性がないので，レイアウトを見れば設計者の力量がすぐに分かってしまいます(**図8**)．

●最後に半導体チップに近い形で詳細を検討する

最後に，バック・アノテーション(ポストレイアウト・シミュレーション)により，前項での回路設計(フロント・エンド設計)よりも半導体チップに近い条件でシミュレーションを実施します．特に，配線抵抗や配線容量などの影響による伝送路の遅延や発振，ノイズの問題などを検証し，フロント・エンド設計へのフィードバックを行います．ただし，寄生素子の抽出により回路規模が数倍から数十倍となり，解析時間が長くなるので，いくつかの機能ブロックごとの検証や影響度の高い部分だけの検証とすることもあります．

レイアウト設計が完成したら，**図9**に示す情報をパッケージ組み立て部門に提出し，現状のチップ・サイズやボンディング・パッド座標で問題なくパッケージに搭載できるかなどの検証を行います．また，チップ・データ(**図10**)以外に，**図11**のようなフレーム(スクライブ)データの作成を行います．

(**a**) シミュレーション依存設計者のレイアウト

(**b**) 机上設計している設計者のレイアウト

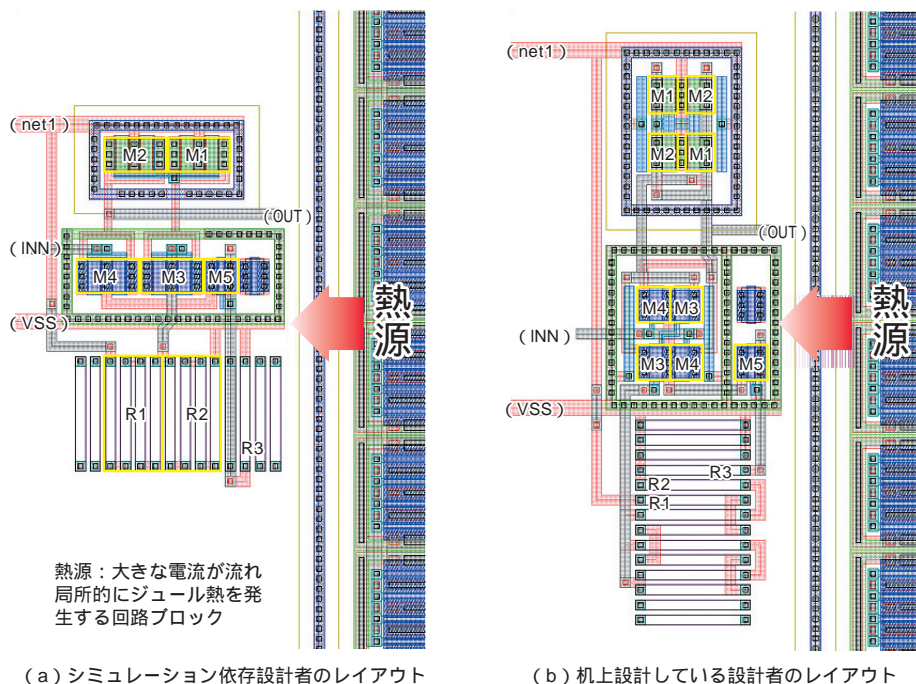



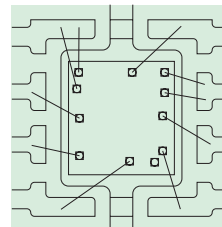
図8　設計者の力量

高精度なアナログ回路では，素子のマッチングが重要になる．連載第1回(本誌2007年1月号，pp.107-117を参照)の図7の回路で素子の整合性(対称性)が重要な素子は，M1とM2，M3とM4，R1とR2である．素子の整合性の考慮をしていないレイアウトを図(a)に示す．図(a)のレイアウトでは，温度勾配の影響を受け各素子間で特性差を生じる．そのため，M1とM2，M3とM4の非対称性によるオフセット電圧の増大，R1とR2の非対称性による分圧比のずれなどを誘起する．整合性を考慮したレイアウトを図(b)に示す．(b)のレイアウトでは，M1とM2，M3とM4それぞれをコモン・セントロイド配置(図3)にしている． R1とR2は，図4の手法でレイアウトを行っている．このレイアウトでは温度勾配の影響による素子変動を補償する．また，機械的ストレスの影響による特性変動も緩和される．

＜検討項目＞
- パッケージ
- リード・フレーム
- 金線径
- 樹脂
- チップ・サイズ
- ボンディング・パッド座標
- ボンディング・パッド・サイズ

など

図9
パッケージへの実装可否検討

レイアウト設計されたチップが実装予定のパッケージに問題なく搭載できるかを検証する．

フレーム・データとは，

- ウェハをダイシング（チップに切り分け）する幅100 μm程度のチップ境界となるスクライブ領域
- ウェハ素子テスト用のTEG（落とし込みタイプとスクライブ挿入タイプがある）
- フォト・マスクの検査で使用する寸法測定パターンと位置測定パターン
- ウェハ・プロセスで使用する寸法測定パターン（**図12**）とアライメント（位置合わせ）誤差測定パターン（**図13**）
- ウェハ・プロセスの露光装置で使用するアライメント・マーク

などを盛り込んだレイアウト・データです．

完成したチップ・データとフレーム・データは，GDS-IIと呼ばれるマスク・パターンを記述するためのバイナリ形式のデータに変換されます．また，データを支給されたマスク製造会社では，フォト・マスク（石英ガラスの基板上にクロムや酸化クロムの明暗パターンを複写したもの）を製作するために，GDS-IIを電子線描画装置に取り込み可能な処理データに変換（EB変換）します．チップ・データとフレーム・データは，フォト・マスクへの露光描画時に合成されます．

2. フォト・マスクができるまでの流れ

ウェハ・プロセスの露光工程で使用されるフォト・マスク（**写真3の⑩**）は，**図14**のような工程の流れで製作しま

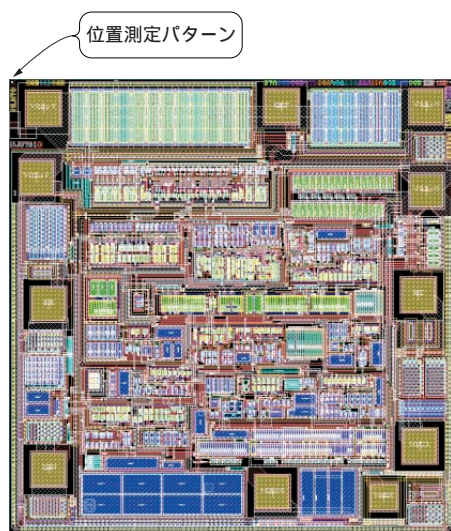



図10　チップ・データ

チップの角にフォト・マスク製作時に検査工程で使用する位置測定パターンを配置する．

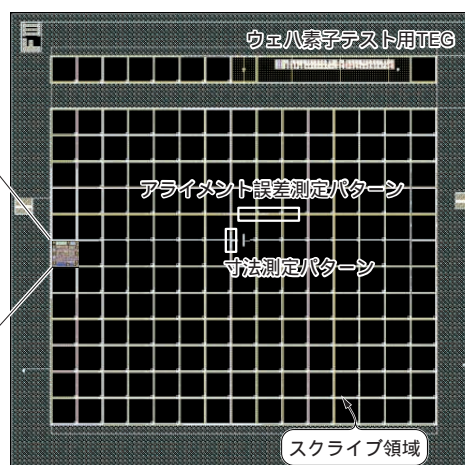



図11　フレーム・データ

スクライブ・ライン，ウェハ素子テスト用TEG，アライメント誤差測定パターン，寸法測定パターンなどを盛り込んだフレーム・データを作成する．

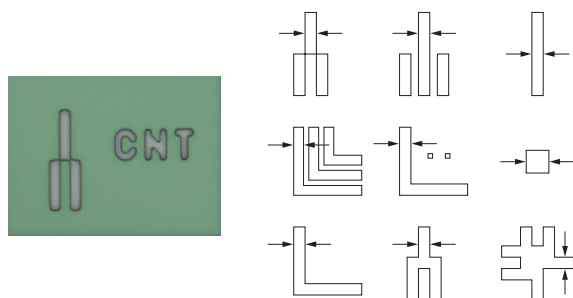



図12　寸法測定パターン

フレーム・データに寸法測定用のパターンを挿入し，フォト・マスク製作工程やウェハ・プロセスでの寸法測定検査時に使用する．

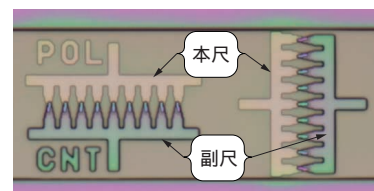



図13　アライメント誤差測定パターン

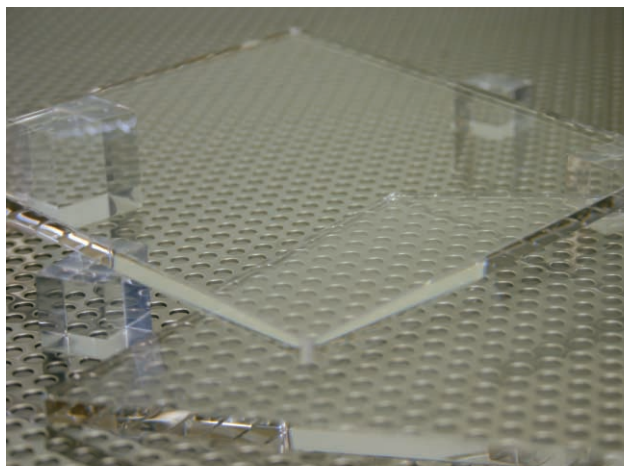
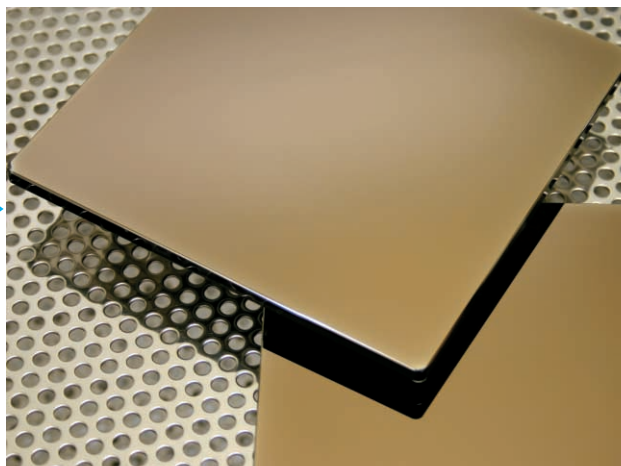
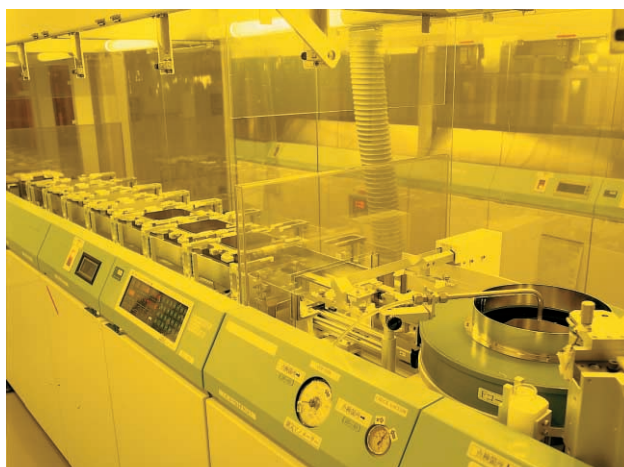
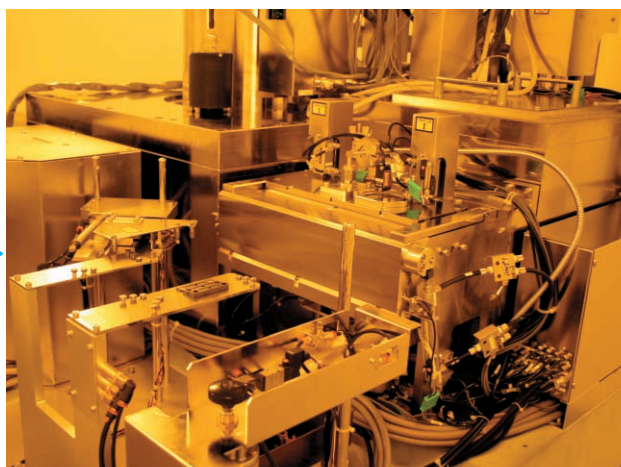
バーニア（vernier）と呼ばれ，ウェハ上のパターンと現像後のレジスト・パターンとのアライメント（位置合わせ）誤差を測定する．本尺と副尺（バーニア）に分かれ，本尺と副尺の目盛りが一直線上にある目盛りで読み，1目盛りが0.1μmとなる．

①基板
使用環境の熱変動によるガラスの伸縮がパターン精度に及ぼす影響を小さくするために，ソーダ・ライム・ガラスなどに比べ熱膨張率の小さい石英ガラスがよく使用される．また，石英ガラスは350nm以下の短波長領域で透過率が低下しない特徴も持っている．

②成膜
真空中でイオンを加速してクロム・ターゲットに衝突させ，その衝撃ではじき出されたクロム原子をターゲットに対向して置かれたガラス基板上に堆積（スパッタ蒸着）させ，遮光膜として数十nm程度のクロムや酸化クロムの薄膜層を形成しマスク・ブランクスを作成する．

③レジスト塗布
成膜工程で作成されたマスク・ブランクスのクロム膜上に感光性の樹脂であるレジストを均一膜厚に塗布し，レジスト内の余分な有機溶剤を蒸発させるためにプリベークを行う．

④描画
電子線描画装置にて，光よりも短波長な電子ビームを，塗布されたレジストに直接，照射スキャンして露光し，パターンを形成する．

写真3　フォト・マスク製作工程の流れ
写真提供：凸版印刷

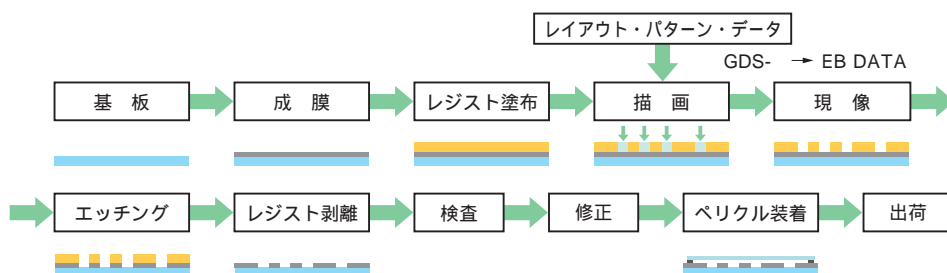
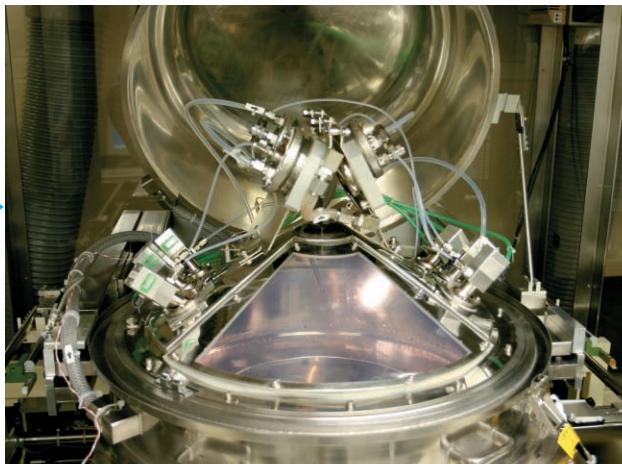
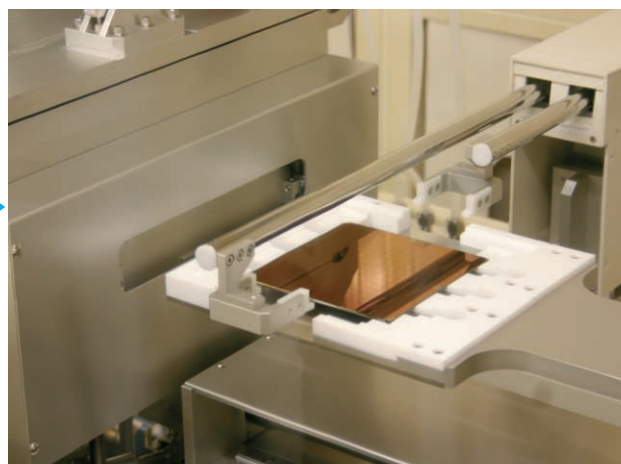



図14　フォト・マスク製作工程の流れ
一般的なフォト・マスク製作工程で，石英ガラス基板上へのクロムや酸化クロムの成膜，レジスト塗布，電子線描画装置などによる露光，現像，エッチング，レジスト剥離，パターンの検査，パターン修正，ペリクル装着，出荷の流れとなる．

⑤現像

現像，リンス（現像の進行停止と洗浄），乾燥などの工程から成っている．ポジ型レジストの場合は，露光された部分のレジストがなくなり，ネガ型レジストの場合は，露光された部分のレジストが残る．

⑥エッチング

前工程として，ブランクス上にプラズマを浴びせ，エッチング液の浸透性をよくしてから，現像でレジストが除去されクロムが露出した部分のクロムを反応性ガスによる化学反応（ドライ・エッチング）により加工する．

⑦検査

線幅測定装置，座標測定装置，欠陥検査装置などで，パターンのサイズや位置がデータ通りに形成されているかを調べる寸法検査（短寸法精度，長寸法精度），位置精度検査（ピッチ精度，直交度，ダイ・ローテーション誤差，ダイ倍率など），および外観検査（黒欠陥，白欠陥など）を行う．

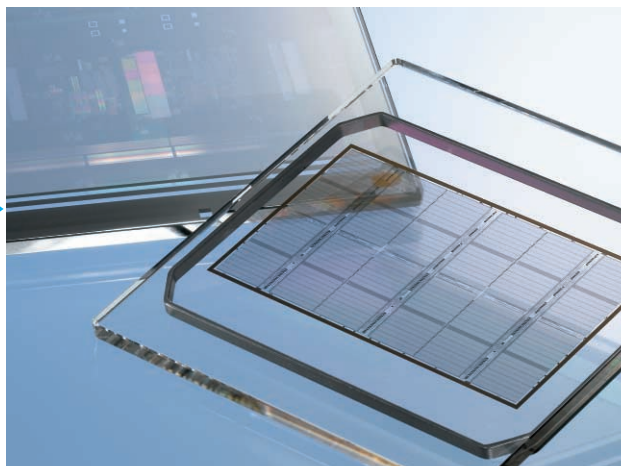
⑧修正

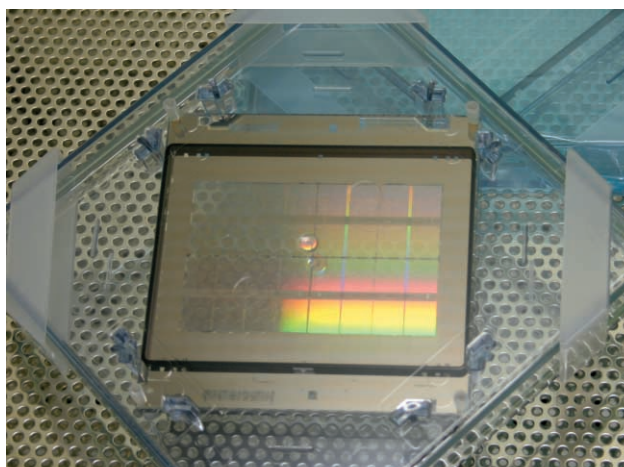
検査装置で検出された欠陥と不良の修正を行う．レーザ・ビームによりパターンの余分な不良（黒欠陥）部分を加熱蒸発させ除去する．また，CVD（chemical vapor deposition）加工によりパターンの欠落している部分（白欠陥）を炭素膜や金属膜を堆積し補修する．

す．研磨，洗浄された石英ガラス基板上（**写真3の①**）にクロムや酸化クロムの薄膜層をスパッタリングし，マスク・ブランクス（**写真3の②**）を作成します．クロム膜面上に感光性の樹脂であるレジスト注2をコーティング（**写真3の③**）し，電子線描画装置（**写真3の④**）などにより，レイアウト設計工程で作成されたレイアウト・パターン・データに基づき，マスク・ブランクス上にIC回路のパターンを描画して露光します．現像（**写真3の⑤**）後，クロムをエッチング（**写真3の⑥**）し，レジストを除去します．欠陥検査装置（**写真3の⑦**），欠陥修正装置（**写真3の⑧**）にてパターンの検

注2：光露光に使われる感光膜で，露光された部分が現像液に溶けて除去されるポジ型と，露光されない部分が現像液で除去されるネガ型がある．いずれも，樹脂と感光剤が有機溶剤に混ぜ合わされた溶液で，露光された箇所のレジストが変質する．ポジ型ではこの変質層が現像液に溶けるが，露光されていない部分には現像液は浸透しないため，残ったレジストの膨潤現象がないので高解像度が得られる．レジスト上に微粒子が付着しても致命的なパターン欠陥を生じないという利点もあり，ポジ型が多く使用される．ネガ型は変質層が現像液に溶けずに残るため，レジストが現像液を吸収して膨潤する傾向となり，高解像度が得難くなる．

⑨ペリクル装着

ペリクル(pellicle)は，ウェハ・プロセスの露光工程でフォト・マスク上に付着した異物がパターン形成されないように，クロム・パターン面から数mmの高さに透明なペリクル膜(防塵フィルム)を装着する．ペリクル膜上に異物が付着しても，焦点が合わないので異物は転写されなくなる．

⑩完成フォト・マスク

ペリクル装着後に異物検査装置にて異物付着のないことを評価し，フォト・マスクの完成となる．

⑪出荷

帯電防止処理やコンタミ(contamination)発生の低減処理が施されたケースに密封され梱包・出荷される．

写真3　フォト・マスク製作工程の流れ(つづき)

査・修正を行い，最後にペリクル(防塵フィルム)を装着(**写真3⑨**)します．

フォト・マスクの製作費用は，EB(electron beam)アドレス・サイズ注3や検査規格(寸法精度，位置精度，パターン欠陥サイズなど)に左右されます．

注3：EBのビーム形状には，ラスタ・スキャン方式での円形(スポット)とベクタ・スキャン方式の矩形があり，その大きさを示す．

参考文献

(1)「半導体LSIのできるまで」編集委員会；半導体LSIのできるまで，日刊工業新聞社，2004年．

よしだ・はるひこ

<筆者プロフィール>

吉田晴彦． 1985年に新日本無線に入社．プロセス開発や電源IC設計などに従事．現在ミックスト・シグナルIC設計部門に所属．